

PAT-NO: JP360021540A
DOCUMENT-IDENTIFIER: JP 60021540 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: February 2, 1985

INVENTOR-INFORMATION:

NAME

SUYAMA, SHIRO

TANIUCHI, TOSHIAKI

SERIKAWA, TADASHI

ASSIGNEE-INFORMATION:

NAME

NIPPON TELEGR & TELEPH CORP <NTT>

COUNTRY

N/A

APPL-NO: JP58127987

APPL-DATE: July 15, 1983

INT-CL (IPC): H01L021/76, H01L029/72 , H01L029/78

US-CL-CURRENT: 257/E21.232, 438/353 , 438/680 , 438/699 , 438/FOR.224

ABSTRACT:

PURPOSE: To realize high density mounting an high speed operation by providing a process for forming fine and deep element isolation region having a small specific dielectric coefficient.

CONSTITUTION: A first film, for example, an oxide film 21 is formed on a semiconductor substrate 20 and a second film 22 consisting of Al or Al<SB>2</SB>O<SB>3</SB> is formed thereon. Thereafter, a desired resist pattern 23 is formed on said second film 22. With this resist pattern 23 used as the mask, the second film 22 is etched and the resist pattern 23 is removed. Next, with the second film 22 used as the mask, the oxide film 21 and

the semiconductor substrate 20 are anisotropically etched by the reactive ion etching method, etc. and a groove 24 is formed. For example, in the reactive ion etching utilizing CCl_2F_2 , an etching selection ratio of Al and oxide film can be set to 20 times or more and the etching selection ratio of Al and Si substrate can be set to 70 times or more, and the anisotropic etching is possible. Therefore, width of groove 24 is set to several hundreds nm and depth of groove 24 is set as deep as several μm .

COPYRIGHT: (C)1985, JPO&Japio

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60—21540

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)2月2日

H 01 L 21/76

A 8122—5F

// H 01 L 29/72

7514—5F

29/78

7377—5F

発明の数 1

審査請求 未請求

(全 6 頁)

⑮ 半導体装置の製造方法

武蔵野市緑町三丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内

⑯ 特 願 昭58—127987

⑰ 出 願 昭58(1983)7月15日

⑱ 発 明 者 芹川正

⑲ 発 明 者 陶山史朗

武蔵野市緑町三丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内

武蔵野市緑町三丁目9番11号日

本電信電話公社武蔵野電気通信

研究所内

⑳ 出 願 人 日本電信電話公社

㉑ 発 明 者 谷内利明

㉒ 代 理 人 弁理士 中村純之助

明 細 書

1. 発明の名称 半導体装置の製造方法

2. 特許請求の範囲

半導体基板の表面上に第1の膜を形成する工程と、この第1の膜の上に所望パターンを有する第2の膜を形成する工程と、この第2の膜をマスクとして第1の膜及び半導体基板を異方性エッチングして断面形状がほぼ矩形の溝部を半導体基板に形成する工程と、上記第2の膜をマスクとして第1の膜を所望のサイドエッチ量を伴ってエッチングし引き続く第2の膜の除去と第1の膜をマスクとする異方性エッチングにより上記溝部の上部開口幅を拡げる工程と、この溝部を有する半導体基板上に絶縁膜を堆積して上記溝部の下部に中空の空隙を残してその開口部を絶縁膜で埋め込み次いでこの埋め込み部以外の半導体基板上絶縁膜をエッチング除去する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の利用分野〕

本発明は半導体装置の製造方法に係り、特に、高密度実装かつ高速動作を可能とする半導体装置の製造方法に関するものである。

〔発明の背景〕

現在広く使用されている半導体装置は、半導体基板の上に相互に絶縁・分離された多数の半導体素子を有している。これらの素子を絶縁・分離する方法(以下、これを素子分離法と呼ぶ)としては、酸化膜分離法が一般的に用いられている。

酸化膜分離法は、第1図に示す工程を経て行なわれる。まず、半導体基板10を酸素雰囲気中で熱処理して酸化膜11を形成し、この酸化膜11上に窒化シリコン膜12を堆積し、窒化シリコン膜12上にレジストパターン13を形成する〔第1図(a)〕。次に、このレジストパターン13をマスクとして窒化シリコン膜12、酸化膜11のエッチングを行なった後、レジストパターン13を除去する〔図(b)〕。この半導体基板を、温度1000℃前後の酸素雰囲気中で数時間乃至数十時間熱処理する〔図(c)〕。この際、窒

化シリコン膜12で覆われていない半導体基板表面には、酸素との反応により酸化膜14が形成される。しかし、窒化シリコン膜は酸素の貫通を良く防ぐ特性を有しているため、窒化シリコン膜が存在する部分の半導体基板表面の酸化を防ぐことができる。この結果、半導体基板表面の選択的な酸化が行なえる。その後、窒化シリコン膜12を除去し〔図(d)〕、そして窒化シリコン膜12が存在した半導体基板領域に半導体素子を形成する。これらの各素子は酸化膜14により絶縁・分離される。その後、所定の素子の間を結線し、半導体装置の製造を終る。

上記した酸化膜分離法の分離特性を改善する目的で、第1図(a)の工程と(b)の工程の間に、レジストパタン13をマスクとして所定の極性を有する不純物をイオン注入する工程を導入することも広く採用されている。しかしながら、これらの酸化膜分離法には、(1)素子分離領域に酸化膜を用いているため、比誘電率が4程度と大きく、配線容量の増大をもたらし、半導体装置の高速化が図れない。

・ 3 ・

1の膜をマスクとする異方性エッチングにより上記溝部の上部開口幅を拡げる工程と、この溝部を有する半導体基板上に絶縁膜を堆積して上記溝部の下部に中空の空隙を残してその開口部を絶縁膜で埋め込み次いでこの埋め込み部以外の半導体基板上絶縁膜をエッチング除去する工程とを含む製造方法とするにある。

〔発明の実施例〕

本発明の実施例を、半導体基板としてSiを用いる場合を例に採って、第2図により説明する。半導体基板20上に第1の膜、例えば酸化膜、21を形成し、この酸化膜21上にAlあるいは Al_2O_3 から成る第2の膜22を形成した後、この第2の膜22上に所望のレジストパタン23を形成し、第2図(a)の構造を得る。このレジストパタン23をマスクとして第2の膜22をエッチングしレジストパタン23を除去し第2図(b)の構造を得る。第2の膜22をマスクとして酸化膜21および半導体基板20を反応性イオンエッチング法、反応性イオンビームエッチング法、あるいはイオンビームエッチング法を用

い、(2)素子分離部の幅を $1\mu m$ 以下に微細化しようとする、第1図(c)を得る酸化工程において、半導体基板10に応力が加わり、結晶欠陥を誘起しやすい、等の問題があった。

以上、述べてきたように、従来の素子分離法では、半導体装置の高密度化、高速化が図れないという問題点があった。

〔発明の目的〕

本発明の目的は、従来技術での上記した問題点を解決し、高密度実装かつ高速動作を可能とする半導体装置の製造方法を提供することにある。

〔発明の概要〕

本発明の特徴は、半導体基板の表面上に第1の膜を形成する工程と、この第1の膜の上に所望パタンを有する第2の膜を形成する工程と、この第2の膜をマスクとして第1の膜及び半導体基板を異方性エッチングして断面形状がほぼ矩形の溝部を半導体基板に形成する工程と、上記第2の膜をマスクとして第1の膜を所望のサイドエッチ量を伴ってエッチングし引き続く第2の膜の除去と第

・ 4 ・

いて異方性エッチングし溝部24を有する第2図(c)の構造を得る。例えば、 CCl_3F_3 を用いた反応性イオンエッチングではAlと酸化膜とのエッチング選択比を20倍以上、AlとSi基板とのエッチング選択比を70倍以上とでき、かつ異方性エッチングが可能のため、溝部24の幅を数百nmとしかつ溝部24の深さを数 μm と深くできる。また、Arと O_2 の混合ガスを用いたイオンビームエッチング法では、AlとSi基板とのエッチング選択比を6倍以上にでき、かつ異方性エッチングが可能のため、上記反応性イオンエッチング法と同様に溝部24の幅が小さく、かつ溝部24の深さを深くできる。

次に、第2の膜22をマスクとして所望のサイドエッチ量を伴って酸化膜21を例えば緩衝弗酸を用いて選択的にエッチングして第2図(d)の構造を得る。第2の膜22を除去し、酸化膜21をマスクとして、半導体基板20を前記第2図(c)を得る工程と同様に異方性エッチングし、酸化膜21を除去し、第2図(e)の構造を得る。このとき、 CCl_3F_3 を用いた反応性イオンエッチング法では、酸化膜とSi

・ 5 ・

・ 6 ・

基板との選択比を3.5倍以上とすることができる。これにより、溝部24の上部25の開口幅を溝部24の下部26の幅より広げることができる。次に、溝部24を有する半導体基板20上に、スパッタ法、蒸着法、あるいは気相成長法を用いて絶縁膜例えば酸化膜27を堆積し、溝部24の下部26に空隙28を残し、かつ溝部24の上部の開口部を埋め込んだ第2図(f)の構造を得る。例えば、気相成長法では、溝部24の上部25の開口幅を溝部24の下部26の幅より数百nm広くし、かつ溝部24の上部25の深さを数百nmとした場合、酸化膜27を1 μ m程度堆積することにより、空隙28を残して、上部の開口部を埋め込むことができる。次にドライエッチング法を用いて表面から順次酸化膜27を均一エッチングし、第2図(g)の構造を得る(特願昭57-142050参照)。これにより、溝部24の上部開口部に酸化膜27が埋め込まれ、この埋め込み部以外の半導体基板上の酸化膜27が除去される。その後、酸化膜27が除去された半導体基板20の領域に半導体素子を形成する。これらの各素子は、溝部24の上部25の酸化膜

・ 7 ・

率を小さくでき、かつ幅を小さくできるため、MOSトランジスタから成る半導体装置の高速化、高密度化が図れる。

第4図は、本発明をバイポーラトランジスタの製作に適用した場合の実施例である。エミッタ41、ベース42およびコレクタ43を有するバイポーラトランジスタは、素子分離部44により分離されている。さらに、本発明はトランジスタ間だけでなく、ベース42とコレクタ43との間の分離45にも適用できる。このように、バイポーラトランジスタ間の間隔だけでなく、トランジスタ自身の大きさも小さくできる。

第5図は、本発明を相補型MOS半導体装置に適用した場合の実施例である。相補型MOS半導体装置は、p型トランジスタとn型トランジスタの両方から成り、これらは半導体基板50上に設けられたn型極性不純物領域51ならびにp型極性不純物領域52上に形成される。これらの不純物領域は、素子分離部53によって分離される。通常の相補型MOS半導体装置では、p型極性不純物領域と

・ 9 ・

27及び下部26の空隙28により絶縁・分離される。また、溝部24の上部25の酸化膜27は、素子分離部製作工程以後において、溝部24の半導体基板へ不純物がイオン注入されることを防ぎ、かつ導電膜などが溝部24の空隙28に堆積されることを防ぐ。その後、所定の素子間を結線し、半導体装置の製造を終る。

上記実施例を採用すれば、(1)素子の分離・絶縁を空隙を用いて行なう半導体装置となることから、その比誘電率を約 $\frac{1}{4}$ と小さくでき、分離特性の向上、半導体装置の高速化が可能となり、(2)素子分離部を完全に絶縁物で埋め込まないため、半導体基板に加わる応力が低減し、半導体基板への結晶欠陥の導入を防ぐことができ、分離特性の向上が可能となる、等の効果を生じる。

第3図は、本発明をMOSトランジスタの分離に適用した場合の実施例である。ソース31、ドレイン32、ゲート電極33、ゲート酸化膜34およびAl配線35を含むMOSトランジスタは、素子分離部36により分離されている。素子分離部36の比誘電

・ 8 ・

n型極性不純物領域が横方向に直接に接している。このためにラッチアップと称される相補型MOS半導体装置特有の問題を軽減する目的で各トランジスタをこれらの不純物領域の境界から遠ざけなければならない。しかしながら、本発明の素子分離法を使用すると、トランジスタを素子分離部に接して形成でき、半導体装置の著しい高密度化と特性向上が図れる。

半導体装置は、上述したようなバルク半導体単結晶基板上に作成されるだけでなく、絶縁基板上に形成した半導体単結晶膜を用いても作製される。第6図は、絶縁基板60例えばサファイア上に単結晶化した半導体膜61を用いた場合の本発明の適用例である。この半導体膜上に形成されたトランジスタは、素子分離部62を介して隣接して形成される。このため、半導体装置の高密度化が容易となる。

〔発明の効果〕

以上説明したように、本発明によれば、小さな比誘電率を有する、微細でかつ深い素子分離領域

・ 10 ・

が容易に形成でき、高密度でかつ高速な半導体装置の形成が可能となる。

4. 図面の簡単な説明

第1図は従来の素子分離法を説明する図、第2図は本発明の一実施例の工程を説明する図、第3図、第4図、第5図、第6図はそれぞれ本発明を適用して作製した半導体装置例を示す断面図である。

符号の説明

10, 20, 50…半導体基板
11, 14…酸化膜
12…窒化シリコン膜
13, 23…レジストパターン
21…第1の膜
22…第2の膜
24…溝部
25…溝部の上部
26…溝部の下部
27…絶縁膜
28…空隙

31…ソース
32…ドレイン
33…ゲート電極
34…ゲート酸化膜
35…Al配線
36, 44, 53, 62…素子分離部
41…エミッタ
42…ベース
43…コレクタ
51…n型極性不純物領域
52…p型極性不純物領域
60…絶縁基板
61…半導体膜

特許出願人 日本電信電話公社
代理人 弁理士 中村 純之助

図1

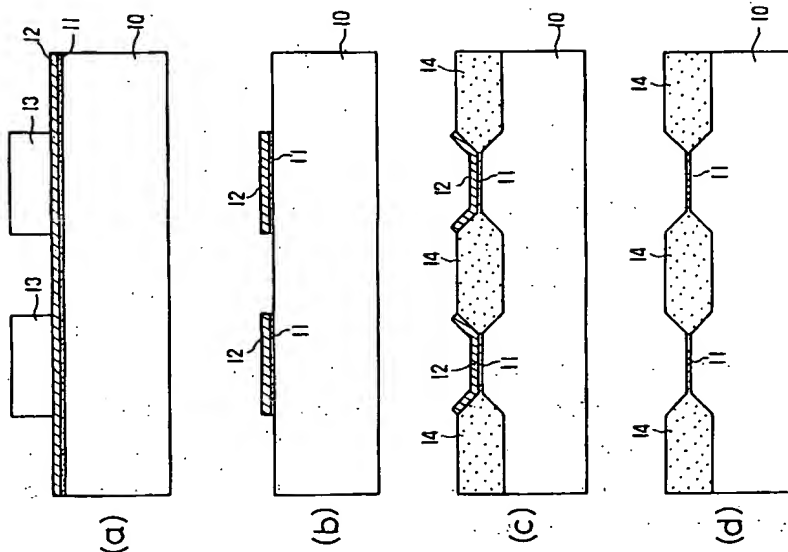


図 2

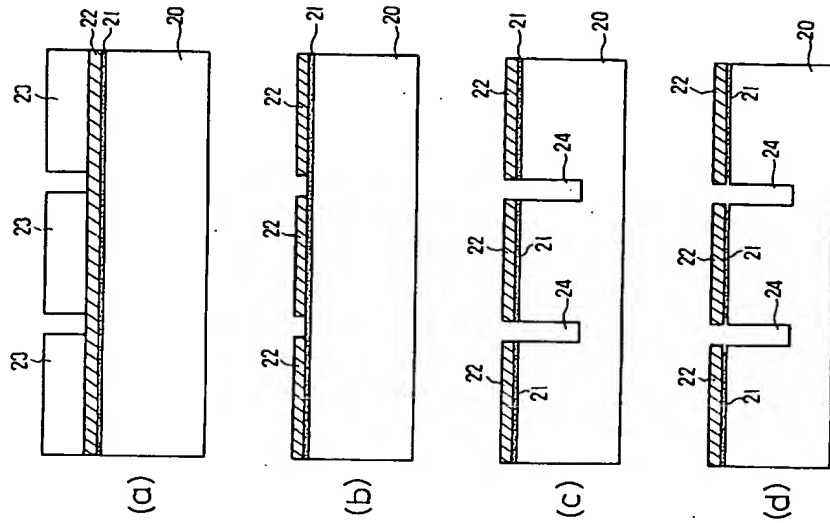


図 2

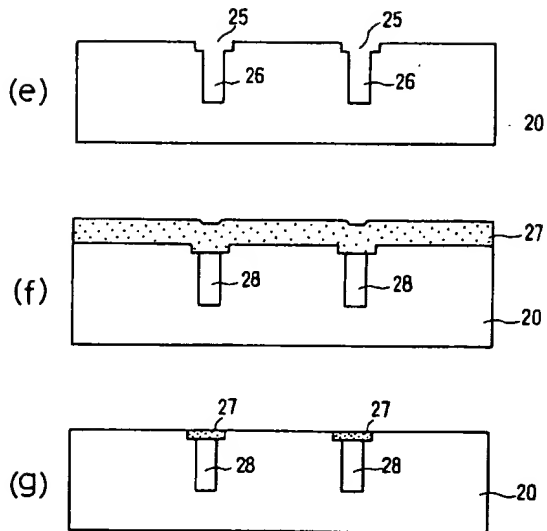


図 3

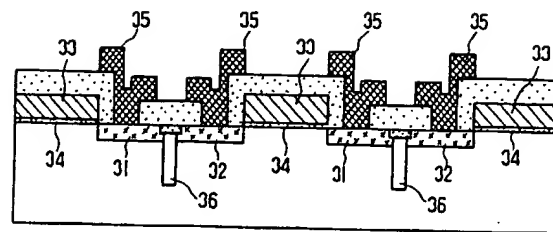


図 4

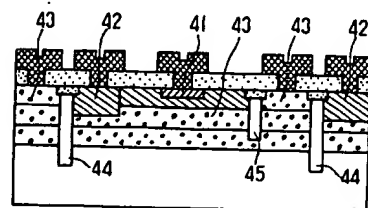


図 5

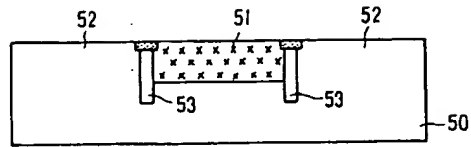


図 6

